Санкт-Петербургский Политехнический Университет Петра Великого  
Институт Компьютерных наук и технологий  
Кафедра компьютерных систем и программных технологий

Лабораторная работа 2

Предмет: Проектирование реконфигурируемых гибридных вычислительных систем

Тема: Введение в Vivado HLS Tool CLI

Задание 1

Студент:\_\_\_\_\_\_Волкова М.Д

Гр. № \_\_\_\_\_\_\_ [3540901/91501](https://vk.com/im?sel=c136)

Преподаватель: Антонов А.П.

Санкт-Петербург

2020

Оглавление

[Задание 4](#_Toc20950563)

[Ход работы 5](#_Toc20950564)

[Вывод 13](#_Toc20950565)

# Задание

Создать скрипт автоматизирующий процесс:

Создать проект lab2\_1

Подключить файл lab2\_1.c (папка source )

Подключить тест lab2\_1\_test.c (папка source)

Микросхема: xa7a12tcsg325-1q

Сделать solution1

задать: clock period 6; clock\_uncertainty 0.1

осуществить моделирование

осуществить синтез

открыть GUI

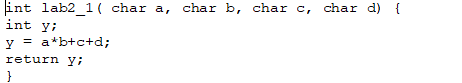
проверить работу созданного скрипта.

Не стирая результаты работы предыдущего запуска скрипта, запустить скрипт еще раз и

проверить корректность работы при повторном запуске

# Ход работы

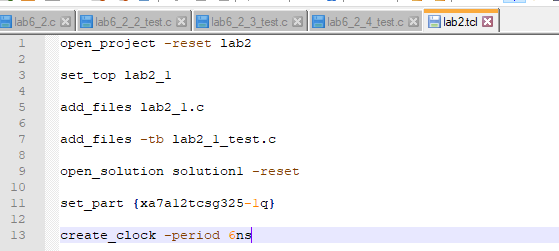
1. Создание исходного файла.



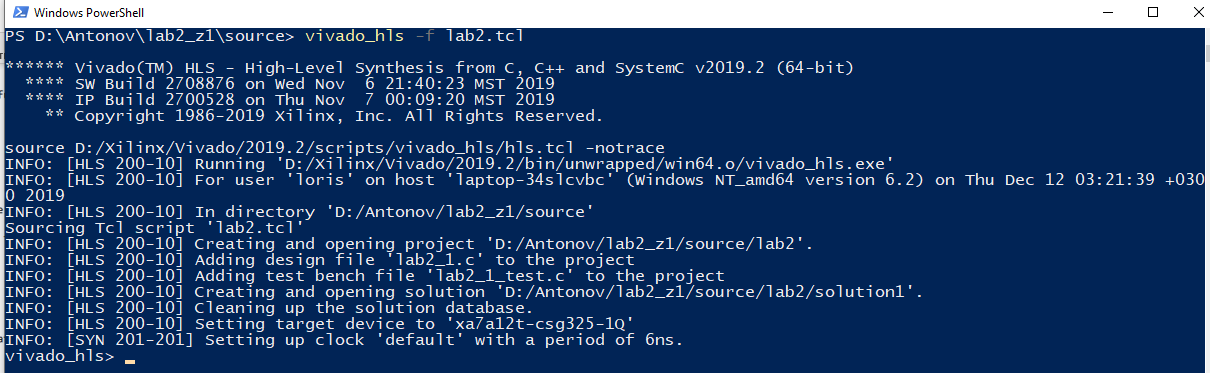
1. Создание тестового файла.

|  |
| --- |
| #include <stdio.h>  int main()  {  int inA, inB, inC, inD;  int res;  // For adders  int refOut[3] = {270, 490, 1310};  int pass;  int i;  inA = 10;  inB = 20;  inC = 30;  inD = 40;  // Call the adder for 5 transactions  for (i=0; i<3; i++)  {  res = lab2\_1(inA, inB, inC, inD);  fprintf(stdout, " %d\*%d+%d+%d=%d \n", inA, inB, inC, inD, res);  // Test the output against expected results  if (res == refOut[i])  pass = 1;  else  pass = 0;  inA=inA+10;  inB=inB+10;  inC=inC+10;  inD=inD+10;  }  if (pass)  {  fprintf(stdout, "----------Pass!------------\n");  return 0;  }  else  {  fprintf(stderr, "----------Fail!------------\n");  return 1;  }  } |

1. Создание скрипта lab2.tcl.

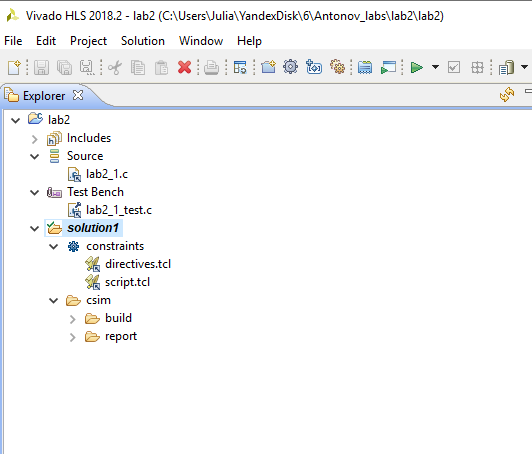


1. Запуск файла lab2.tcl



В результате был создан файл vivado\_hls.log и проект lab2 и solution1.

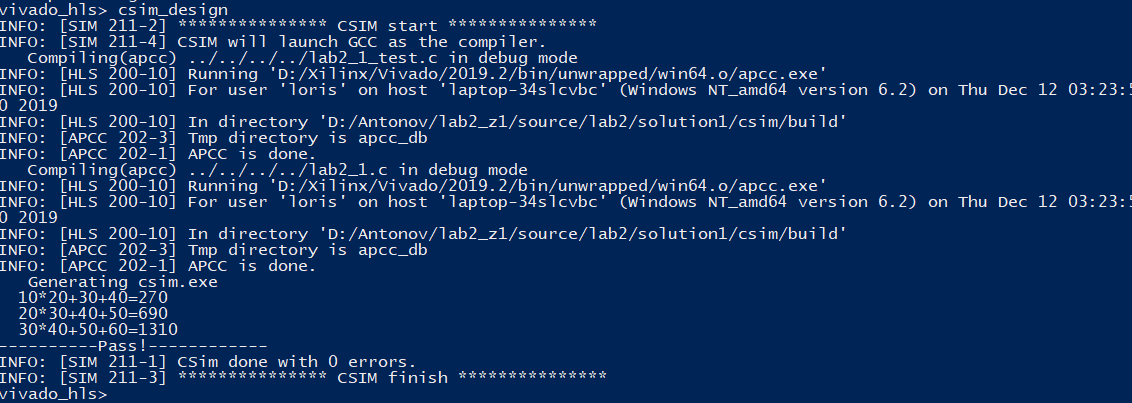
1. Для проверки правильно созданной структуры проекта откроем GUI с помощью команды vivado\_hls –p lab2.



Тестовые и исходные файлы добавлены корректно.

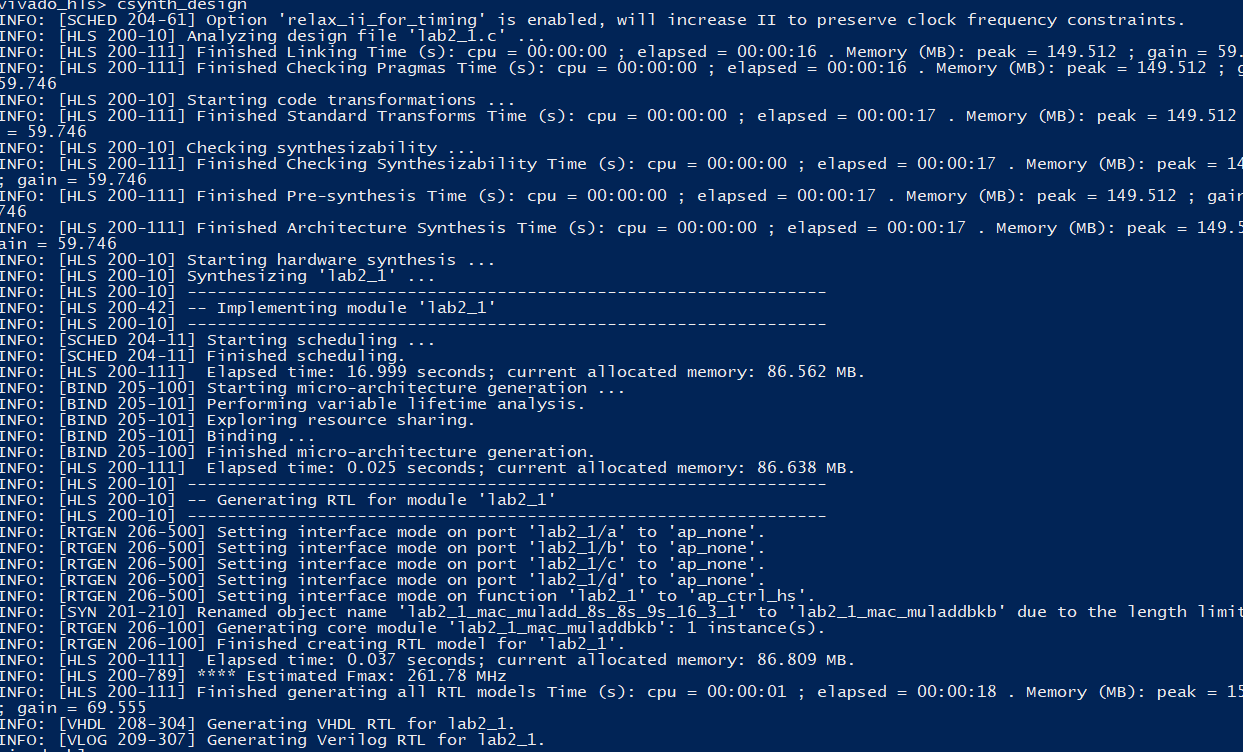
1. Выполним команду csim\_design для проведения моделирования.

Результат выполнения:

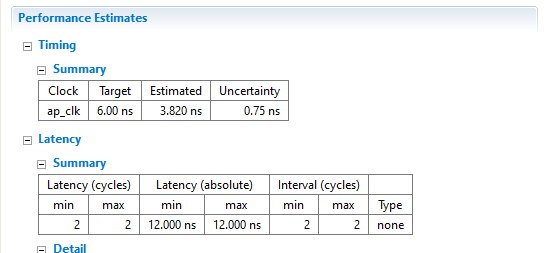


1. Выполним команду csynth\_design для синтеза.

Результат выполнения:

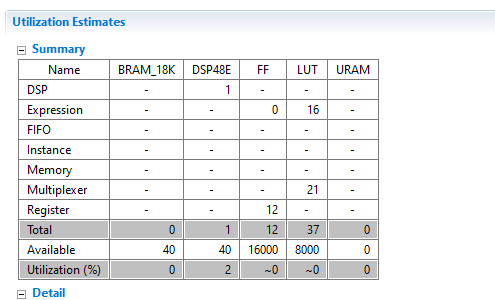


1. Откроем отчет в Vivado HLS GUI



Производительность: достигнутая задержка равна 3,820 нс, что входит в установленную величину в 6 нс.

Затрачиваемые ресурсы:



Данный проект будет занимать на микросхеме:

1 DSP блок, где будут задействованы сумматор и умножитель.

12 регистров для хранения и считывания данных (чисел).

37 LUT.

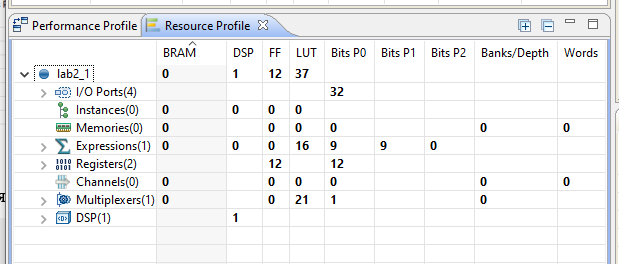
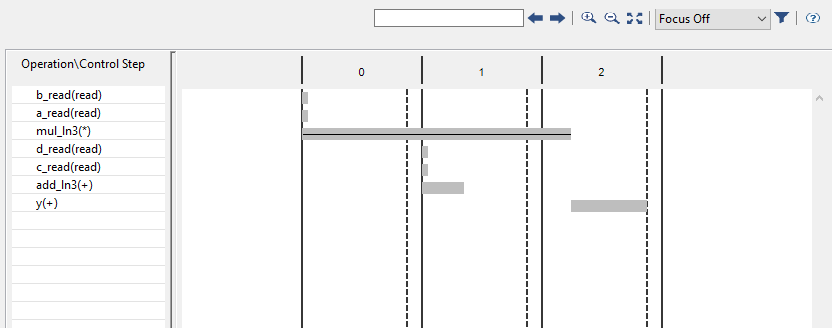
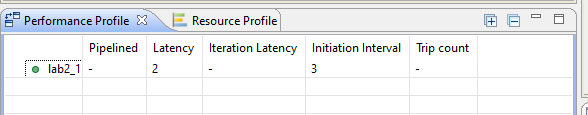


Диаграмма последовательности выполнения операций:

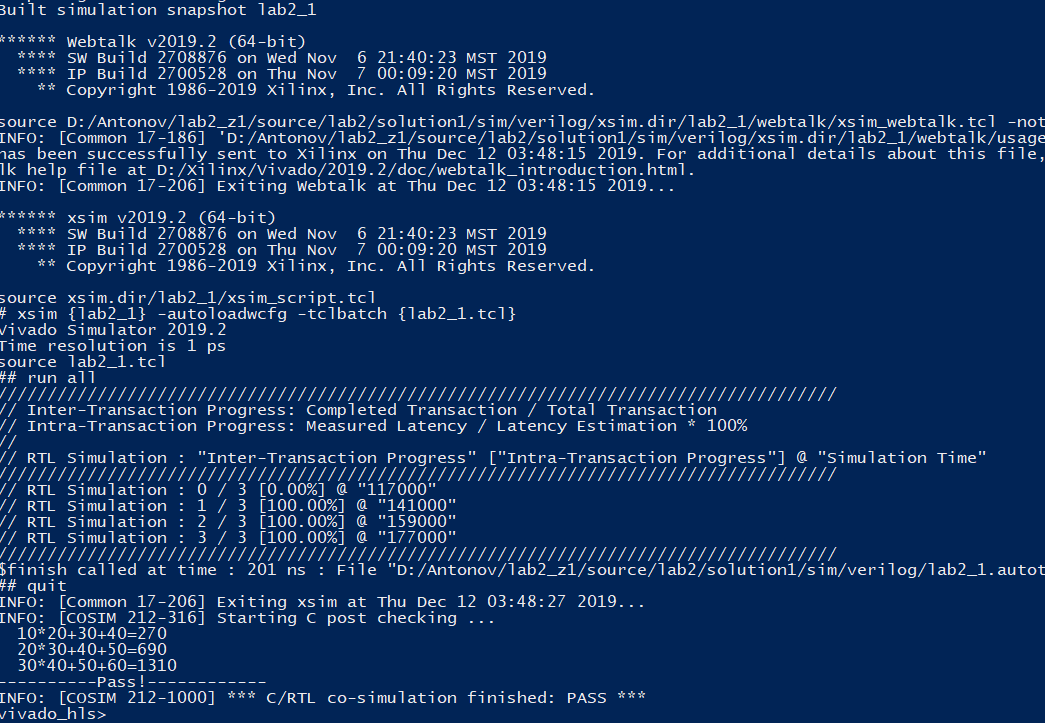


На представленном ниже изображении видно, что задержка до момента получения результата – 2 такта, готовность чтения новых данных наступает еще через 1 такт.



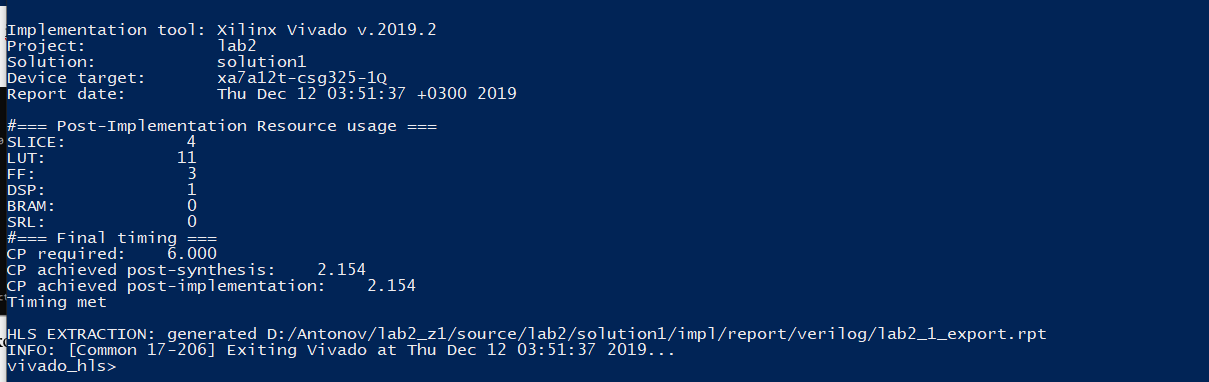
1. Перейдем в консоль для выполнения C\RTL моделирования. Выполним команду cosim\_design.

Результат выполнения:

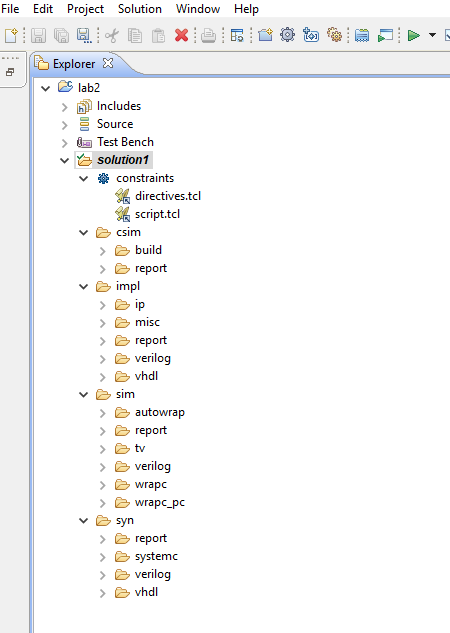


1. Выполним команду export\_design -flow impl -format ip\_catalog.

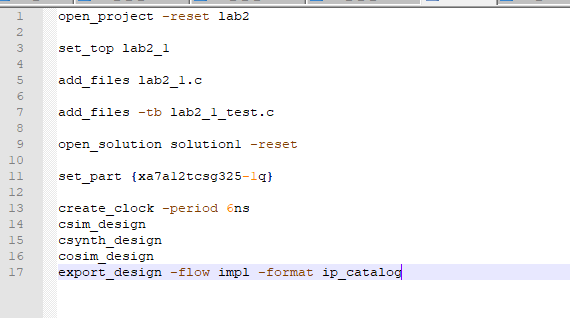
Результат выполнения



1. Откроем Vivado HLS GUI с помощью команды vivado\_hls –p lab2.



1. Запустим скрипт еще раз для проверки корректности работы, не стирая результат работы предыдущего скрипт.



Результат выполнения успешный. Отобразим информацию из файла vivado\_hls.log.

|  |
| --- |
| INFO: [APCC 202-3] Tmp directory is apcc\_db  INFO: [APCC 202-1] APCC is done.  Generating csim.exe  10\*20+30+40=270  20\*30+40+50=690  30\*40+50+60=1310  ----------Pass!------------  INFO: [SIM 211-1] CSim done with 0 errors. |
| INFO: [APCC 202-1] APCC is done.  Generating cosim.tv.exe  INFO: [COSIM 212-302] Starting C TB testing ...  10\*20+30+40=270  20\*30+40+50=690  30\*40+50+60=1310  ----------Pass!------------ |
| $finish called at time : 201 ns : File "D:/Antonov/lab2\_z1/source/lab2/solution1/sim/verilog/lab2\_1.autotb.v" Line 440  ## quit  INFO: [Common 17-206] Exiting xsim at Thu Dec 12 03:55:03 2019...  INFO: [COSIM 212-316] Starting C post checking ...  10\*20+30+40=270  20\*30+40+50=690  30\*40+50+60=1310  ----------Pass!------------  INFO: [COSIM 212-1000] \*\*\* C/RTL co-simulation finished: PASS \*\*\* |

# Вывод

В ходе выполнения лабораторной работы были изучены методы работы с Vivado HLS Command Prompt. Был создан проект с решением по заданным исходным, тестовым файлам и параметрам. Был написан скрипт для создания проекта и выполнения моделирования и симуляции. Полученные результаты отображены в отчете.